

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11039226 A**(43) Date of publication of application: **12 . 02 . 99**

(51) Int. Cl.

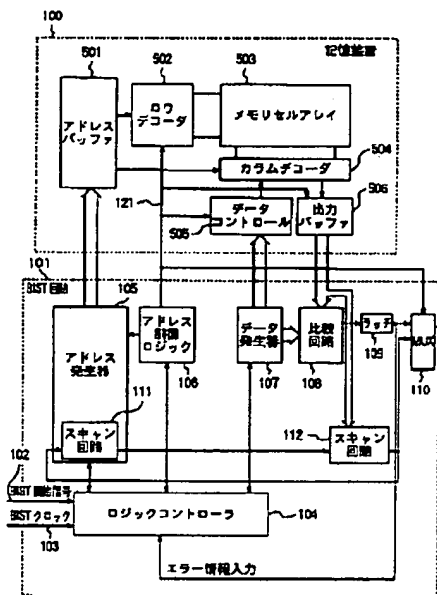
G06F 12/16(21) Application number: **09195652**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **22 . 07 . 97**(72) Inventor: **KAMITOZA HIROSHI****(54) SEMICONDUCTOR DEVICE CONTAINING SELF-TEST CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To make clear the address and bit of the failed data with no increase of the test time nor the cost by outputting the real data and its corresponding address signal to the outside when the error signal of a comparator is outputted after a test is started.

SOLUTION: Receiving an error signal from a comparator 108, a logic controller 104 recognizes occurrence of a fail. Then the controller 104 gives a control signal to an address control logic circuit 106 and switches the output sent from a multiplexer 110 to output the error signal outputted from the comparator 108 or the signal outputted from a scan signal 112. The real data which are outputted from a memory cell array 503 of a storage 100 or the address signal which is outputted from a scan circuit 111 of an address generator 105 is given to the circuit 112 and serially outputted. Therefore, the error signal, the real data or the address signal is selectively outputted from the multiplexer 110.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-39226

(43) 公開日 平成 11 年 (1999) 2 月 12 日

(51) Int. Cl.[°]

G 0 6 F 12/16

識別記号

3 3 0

F I

G 0 6 F 12/16 3 3 0 A

審査請求 未請求 請求項の数 4

O L

(全 8 頁)

(21) 出願番号 特願平 9-195652

(22) 出願日 平成 9 年 (1997) 7 月 22 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 上戸 鎮 裕 史

神奈川県川崎市幸区堀川町 580 番 1 号 株式

会社東芝半導体システム技術センター内

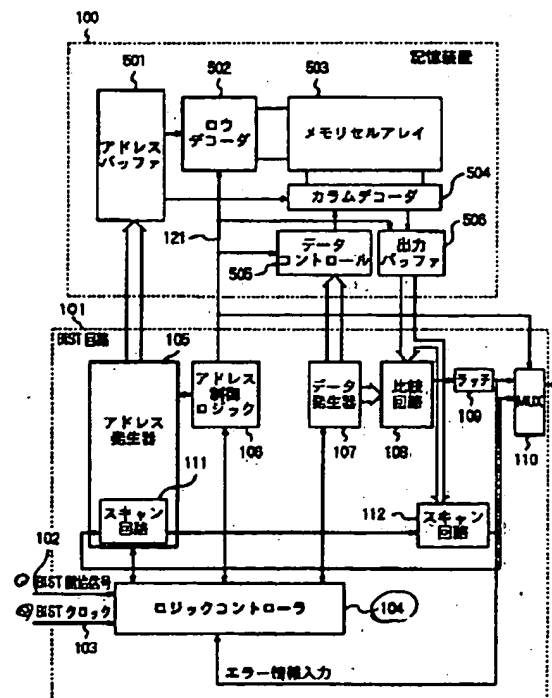
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 自己テスト回路を内蔵する半導体装置

(57) 【要約】

【課題】 フェイルしたデータのアドレス及びビットの検出をするためにはスキャン回路を付加する必要があり、テスト時間及びコストの増加を招くと共に、アクセス時間等の AC 特性をテストすることが困難であった。

【解決手段】 データの書き込み及び読み出しが可能な記憶装置 100 と記憶装置 100 のテストを行う BIST 回路 101 とを備え、BIST 回路 101 は、BIST クロックと BIST 開始信号とを与えられて制御信号を出力するコントローラ 104、アドレス信号を記憶装置 100 に出力するアドレス発生器 105、テストデータを記憶装置 100 に出力するデータ発生器 107、テストデータと記憶装置 100 が出力した実データとを比較し相違する場合エラー信号を出力する比較器 108、実データ又はアドレス信号をシリアルにスキャン出力するスキャン回路 112、エラー信号、実データ、アドレス信号のいずれかを選択的に出力するマルチプレクサ 110 とを備える。そして、テスト開始後にエラーが発生すると、このときの実データ及びアドレス信号が外部に出力される。



【特許請求の範囲】

【請求項1】データの書き込み及び読み出しが可能な記憶装置と、

前記記憶装置のテストを行うための自己テスト回路と、を備え、

前記自己テスト回路は、

テストクロックとテスト開始信号とを与えられて制御信号を出力するコントローラと、

前記制御信号を与えられてアドレス信号を発生し、前記記憶装置に出力するアドレス発生器と、

前記制御信号を与えられてテストデータを発生し、前記記憶装置に出力するデータ発生器と、

前記データ発生器が出力した前記テストデータと、前記記憶装置が前記テストデータを与えられて書き込んだ後読み出した実データとを与えられて比較し、前記テストデータと前記実データとが相違する場合にエラー信号を出力する比較器と、

前記記憶装置が出力した前記実データ又は前記アドレス発生器が出力した前記アドレス信号を与えられてシリアルに出力するスキャン回路と、

前記制御信号に基づき、前記比較器から出力された前記エラー信号、前記スキャン回路から出力された前記実データ又は前記アドレス信号のいずれかを選択的に出力するマルチプレクサとを備え、

テスト開始後に前記比較器が前記エラー信号を出力した場合、このエラーが発生したときの前記実データが前記マルチプレクサを介して外部に出力され、さらにこの実データに対応する前記アドレス信号が前記マルチプレクサを介して外部に出力されることを特徴とする自己テスト回路を内蔵する半導体装置。

【請求項2】前記アドレス発生器は、発生したアドレスをシリアルに出力するアドレス用スキャン回路を有し、テスト開始後に前記比較器が前記エラー信号を出力した場合、このエラーが発生したときの前記実データに対応する前記アドレス信号が前記スキャン回路から出力されて前記アドレス用スキャン回路に与えられてアドレスが設定され、このエラーが発生した後に設定されたアドレスからテストが再開されることを特徴とする請求項1記載の自己テスト回路を内蔵する半導体装置。

【請求項3】前記自己テスト回路は、前記記憶装置が出力した実データを取り込む記憶素子をさらに備え、前記テストクロックに同期して前記アドレス発生器がアドレス信号を発生した時点から、前記記憶装置が前記アドレス信号を与えられて読み出した実データを前記記憶素子を取り込むまでのアクセス時間をテストすることを特徴とする請求項1又は2記載の自己テスト回路を内蔵する半導体装置。

【請求項4】前記自己テスト回路は、パルス幅が異なる複数のアクセス時間テスト用クロックを発生するクロック発生回路と、

前記記憶装置が出力した実データを、前記アクセス時間テスト用クロックに同期して取り込む記憶素子とをさらに備え、

前記テストクロックに同期して前記アドレス発生器がアドレス信号を発生した時点から、前記記憶装置が前記アドレス信号を与えられて読み出した実データを前記記憶装置が取り込むまでのアクセス時間を、前記アクセス時間テスト用クロックを変えてテストすることを特徴とする請求項1又は2記載の自己テスト回路を内蔵する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自己テスト回路を組み込まれた半導体装置に関する。

【0002】

【従来の技術】半導体装置の不良を検知するため、自己テスト回路（Built-In Self Test、以下、BIST回路という）を組み込み、テストの容易化を図ることが行われている。従来、半導体記憶装置のテスト用にBIST回路を内蔵させた場合、記憶装置の出力段に、パラレルに出力されたデータをフリップフロップ等に保持してシリアルに出力するシグネチャー圧縮器を組み込んだり、あるいは記憶装置の出力信号を期待値と1ビットずつ比較する期待値比較回路を組み込んだりしていた。

【0003】シグネチャー圧縮器を用いた場合は、最終的にパターン圧縮された結果のみが出力されるので、装置全体として良品か不良品かの判定は可能である。しかし、記憶装置のいずれのアドレスにおいてどのビットがフェイルしたかを検出することはできなかった。

【0004】期待値比較回路を用いた場合は、1ビットずつ比較した結果が出力されるので、フェイルしたアドレスは判明する。しかし、通常の期待値比較回路は記憶装置から出力される複数ビット分のデータを1ビットに纏めて出力するので、どのビットがフェイルしたかまでは分からなかった。

【0005】このような問題を解決するために、従来は記憶装置の出力段に出力信号観測用のスキャン回路を付加し、テスト回路と併用してテストすることが行われていた。ところが、この場合に通常動作モードとは異なるスキャンモードを設定し、記憶装置からの出力信号をスキャン出力する必要がある。このため、テストパターンのステップ数が膨大になり、テスト時間が長くなると同時にテストのパターンメモリにも大容量が要求される。テスト時間を短縮化するために、期待値比較回路の出力を用いて人手を介して解析することも考えられる。しかし、この場合には解析に時間がかかると共に、テストデータを別途作成しなければならない。

【0006】さらに、従来は記憶装置からの出力データを一旦シグネチャー圧縮器や期待値比較回路に取り込む必要があり、記憶装置のアクセス時間等のAC特性をテ

ストすることが困難であった。

【0007】

【発明が解決しようとする課題】 上述したように、従来はシグネチャー圧縮器又は期待値比較回路のいずれを組み込んだ場合にも、フェイルしたデータがどのビットであるか検出することができず、またスキャン回路を組み込んでフェイルしたビットを明らかにしようとする、テスト時間及びコストの増加を招いていた。また、アクセス時間等のAC特性をテストすることが困難であった。

【0008】 本発明は上記事情に鑑みてなされたもので、テスト時間及びコストの増加を招くことなく、フェイルしたデータのアドレス及びビットを明らかにすることができ、またアクセス時間等のAC特性のテストを容易に行うことが可能な自己テスト回路を内蔵する半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明の自己テスト回路を内蔵する半導体装置は、データの書き込み及び読み出しが可能な記憶装置と、前記記憶装置のテストを行うための自己テスト回路とを備え、前記自己テスト回路は、テストクロックとテスト開始信号とを与えられて制御信号を出力するコントローラと、前記制御信号を与えられてアドレス信号を発生し、前記記憶装置に出力するアドレス発生器と、前記制御信号を与えられてテストデータを発生し、前記記憶装置に出力するデータ発生器と、前記データ発生器が出力した前記テストデータと、前記記憶装置が前記テストデータを与えられて書き込んだ後読み出した実データとを与えられて比較し、前記テストデータと前記実データとが相違する場合にエラー信号を出力する比較器と、前記記憶装置が出力した前記実データ又は前記アドレス発生器が出力した前記アドレス信号を与えられてシリアルに出力するスキャン回路と、前記制御信号に基づき、前記比較器から出力された前記エラー信号、前記スキャン回路から出力された前記実データ又は前記アドレス信号のいずれかを選択的に出力するマルチプレクサとを備え、テスト開始後に前記比較器が前記エラー信号を出力した場合、このエラーが発生したときの前記実データが前記マルチプレクサを介して外部に出力され、さらにこの実データに対応する前記アドレス信号が前記マルチプレクサを介して外部に出力されることを特徴とする。

【0010】 ここで、前記アドレス発生器は、発生したアドレスをシリアルに出力するアドレス用スキャン回路を有し、テスト開始後に前記比較器が前記エラー信号を出力した場合、このエラーが発生したときの前記実データに対応する前記アドレス信号が前記スキャン回路から出力されて前記アドレス用スキャン回路に与えられてアドレスが設定され、このエラーが発生した後に設定されたアドレスからテストが再開されるものであってもよ

い。

【0011】 前記自己テスト回路は、前記記憶装置が出力した実データを取り込む記憶素子をさらに備え、前記テストクロックに同期して前記アドレス発生器がアドレス信号を発生した時点から、前記記憶装置が前記アドレス信号を与えられて読み出した実データを前記記憶素子に取り込むまでのアクセス時間をテストするものであってもよい。

【0012】 あるいは、前記自己テスト回路は、パルス幅が異なる複数のアクセス時間テスト用クロックを発生するクロック発生回路と、前記記憶装置が出力した実データを、前記アクセス時間テスト用クロックに同期して取り込む記憶素子とをさらに備え、前記テストクロックに同期して前記アドレス発生器がアドレス信号を発生した時点から、前記記憶装置が前記アドレス信号を与えられて読み出した実データを前記記憶装置が取り込むまでのアクセス時間を、前記アクセス時間テスト用クロックを変えてテストするものであってもよい。

【0013】

【発明の実施の形態】 以下、本発明の一実施の形態について図面を参照して説明する。

【0014】 図1に、第1の実施の形態によるBIST回路を内蔵する半導体装置の構成を示す。この装置は、記憶装置100とBIST回路101とを備えている。記憶装置100は、アドレスバッファ501、ロウデコーダ502、メモリセルアレイ503、カラムデコーダ504、データコントロール回路505、出力バッファ506を有している。

【0015】 メモリセルアレイ503は、ビット線及びワード線の交点にマトリクス状に配置されたメモリセルを有する。アドレスバッファ501は、後述するようにBIST回路101からロウアドレス信号及びカラムアドレス信号を与えられ、増幅して出力する。ロウデコーダ502は、BIST回路101からリード/ライトイネーブル信号EN121を与えられて動作又は非動作状態に制御され、動作状態の場合にロウアドレス信号を与えられるとデコードし、いずれかのワード線を選択する。カラムデコーダ504は、カラムアドレス信号を与えられてデコードし、いずれかのビット線を選択する。データコントロール回路505は、BIST回路101からリード/ライトイネーブル信号EN121を与えられて動作又は非動作状態になり、動作状態の場合にBIST回路101からデータを与えられるとカラムデコーダ504を介してビット線BLよりメモリセルアレイ503に転送する。出力バッファ506は、リード/ライトイネーブル信号EN121を与えられて動作又は非動作状態になり、動作状態になるとメモリセルアレイ503から読み出されてビット線BLを介して出力されたデータを、カラムデコーダ504を介して与えられ、増幅して出力する。

【0016】BIST回路101は、ロジックコントローラ104、スキャン回路111を有するアドレス発生器105、アドレス制御ロジック回路106、データ発生器107、比較回路108、ラッチ回路109、マルチプレクサ110、スキャン回路112を備えている。

【0017】ロジックコントローラ104は、BIST回路101に含まれる他の回路の動作を制御する。具体的には、アドレス発生器105が記憶装置100に書き込み又は読み出し用のアドレス信号を出力する動作、アドレス発生器105が内蔵するスキャン回路111を介してアドレス信号をスキャン回路112にシリアルに出力する動作、アドレス制御ロジック回路106がリード/ライトイネーブル信号EN121を発生しアドレス発生器105がアドレス信号を発生するタイミングを制御する動作、データ発生器107がテスト用のデータを発生する動作を制御する。また、ロジックコントローラ104は、後述するように比較回路108から出力されたエラー信号をラッチ回路109を介して与えられると、フェイルがあったことを認識し、BISTクロックの外部からの取り込みを停止すると共に、外部に対してエラー信号、フェイルした実データ、又はフェイルした実データのアドレス信号のいずれかを選択して出力するようにマルチプレクサ110の出力を切り換える制御を行う。より具体的には、ロジックコントローラ104がアドレス制御ロジック回路106に制御信号を与えてマルチプレクサ110からの出力を切り換えて、比較回路108が出力したエラー信号とスキャン回路112が出力した信号のいずれかが出力されるようにする。スキャン回路112には、記憶装置100のメモリセルアレイ503から出力された実データと、アドレス発生器105内のスキャン回路111から出力されたアドレス信号のいずれかが与えられシリアルに出力される。よって、マルチプレクサ110からはエラー信号、実データ又はアドレス信号のいずれかが選択的に出力されることになる。

【0018】アドレス制御ロジック回路106は、ロジックコントローラ104からの制御に基づいて、アドレス信号を発生するタイミングを規定するタイミング制御信号をアドレス発生器105に与える。アドレス発生器105は、タイミング制御信号に基づいてアドレス信号を発生し、記憶装置100内のアドレスバッファ501に与える。また、アドレス制御ロジック回路106は、テスト時に記憶装置100を動作させるために、ロウデコード502、データコントロール回路505及び出力バッファ506にリード/ライトイネーブル信号EN121を出力する。

【0019】データ発生器107は、ロジックコントローラ104からの制御に基づいて、記憶装置100に与えるテスト用のデータを発生する。発生されたデータは、記憶装置100内のデータコントロール回路505

にテストデータとして与えられると同時に、比較回路108にも期待値データとして与えられる。

【0020】ラッチ回路109は、比較回路108が実データと期待値データとを比較した結果として、例えば両者が一致した場合は論理「0」の信号、不一致でエラーが発生した場合には論理「1」のエラー信号を与えられて保持する。マルチプレクサ110は、ラッチ回路109からの出力信号と、スキャン回路112からの出力信号とを与えられ、アドレス制御ロジック回路106の制御によりいずれか一方を選択して出力する。

【0021】スキャン回路112は、記憶装置100からパラレルに出力された実データを与えられてシリアルに変換して出力する。あるいは、フェイルした時にアドレス発生器105内のスキャン回路111からアドレス信号を与えられたときは、このアドレス信号を実データの替わりに与えられてマルチプレクサ110にシリアルに出力する。

【0022】このような構成を備えた本実施の形態による装置の動作について述べる。まず、ロジックコントローラ104に外部からBIST開始信号102が入力されると、通常動作モードからテストモードに切り換わる。そして、外部から入力されたBISTクロック103に同期して、ロジックコントローラ回路104が制御信号を発生する。アドレス制御ロジック回路106は、ロジックコントローラ104から制御信号を与えられると、アドレス発生器105がアドレス信号を発生するタイミングを制御する。アドレス発生器105は、メモリセルアレイ503にテストデータを書き込むため又は書き込んだ実データを読み出すためのアドレス信号を発生する。このアドレス信号はアドレスバッファ501に与えられ、増幅されたロウデコード502とカラムデコード504とに与えられる。ロウデコード502及びデータコントロール回路505は、それぞれアドレス制御ロジック106が発生したライトイネーブル信号EN121を与えられて書き込み動作状態になり、ワード線及びビット線が選択される。

【0023】さらに、ロジックコントローラ104から出力された制御信号により規定されるタイミングに従って、データ発生器107がテスト用データを発生しデータコントロール回路505に出力する。このテスト用データがカラムデコード504を介してメモリセルアレイ503に与えられ、書き込まれる。

【0024】次に、メモリセルアレイ503に書き込まれたデータを実データとして読み出して、本来のデータ即ち期待値データと比較する動作に移行する。ロジックコントローラ104からの制御に基づいて、アドレス制御ロジック回路106がリードイネーブル信号EN121を発生し、ロウデコード502及び出力バッファ506が読み出し動作状態になる。アドレス発生器105がアドレス信号を発生し、このアドレス信号に従ってロウ

デコーダ502及びカラムデコーダ504がワード線及びビット線を選択する。メモリセルアレイ503からデータが読み出され、カラムデコーダ504及び出力バッファ506を介して出力される。

【0025】このメモリセルアレイ503から読み出された実データと、データ発生器107が発生した本来の期待値データとが比較回路108に与えられて比較される。また、メモリセルアレイ503から出力された実データは、スキャン回路112にも与えられ、パラレルに与えられた実データがシリアルに出力される。比較した結果は、ラッチ回路109に与えられて保持される。上述したように、両者が一致している間は比較回路108からは「0」の信号が出力され、両者が一致せずフェイルした場合は「1」の値を持つエラー信号が出力されて、ラッチ回路109に保持される。マルチプレクサ110は、ラッチ回路109から出力されたエラー信号を与えられて外部に出力する。

【0026】エラー信号が比較回路108から出力されると、ラッチ回路109を介してロジックコントローラ104に与えられ、フェイルしたことが認識される。ロジックコントローラ104は、BISTクロックを入力する動作を停止すると共に、アドレス制御ロジック106にフェイル発生時の実データを出力するように通知し、アドレス制御ロジック106はマルチプレクサ110の出力を切り換えて、スキャン回路112から出力された実データを外部にシリアルに出力させる。

【0027】これにより、フェイルした時のみスキャン回路112から実データ及びアドレスが外部へ出力される。従って、全ての実データをスキャン出力していた従来と比較し、テスト時間やデスタの記憶容量を低減することができ、テストに要するコストを削減することができる。また、全ての実データを出力して故障か否かを判定する場合には、故障解析のためのテストパターンを必要とするが、本実施の形態ではフェイルした場合にのみ実データが出力されるので、このようなテストパターンの作成が不要である。

【0028】また、フェイルした実データを出力した後、フェイル発生時のアドレスのスキャン出力を行うことができる。ロジックコントローラ104の制御により、アドレス発生器105に含まれるスキャン回路111からアドレス信号がシリアルに出力されてスキャン回路112に与えられる。スキャン回路112は、出力バッファ506から出力された実データの代わりにスキャン回路111から出力されたアドレス信号を出力し、マルチプレクサ110に出力する。マルチプレクサ110は、フェイル発生時のアドレス信号を外部に出力する。

【0029】このように、フェイルしたときの実データのみならずアドレスも出力されるので、メモリセルアレイ503のいずれの箇所が故障したか容易に解析することができる。

【0030】また、スキャン回路111とスキャン回路112との間にはループが形成されている。これにより、スキャン回路112から出力されたアドレス信号がスキャン回路111にフィードバックされ、アドレス発生器105が発生するアドレスがフェイルした時点のアドレスに再設定される。

【0031】よって、テストを開始してフェイルが発生した場合、この時のアドレスがアドレス発生器105に設定されるので、フェイル発生後のアドレスからテストを再開することができ、最初アドレスからテストをやり直す無駄を省いて効率を向上させることができる。

【0032】次に、比較回路108、スキャン回路111及び112のそれぞれの回路構成の一例について述べる。比較回路108は例えば図2に示されるような構成を備え、排他的論理和ゲート202a、202b及び202cと論理和ゲート203を有している。排他的論理和ゲート202a～202cには、それぞれデータ発生器107及び記憶装置100から対応する実データと期待値データとを与えられ、一致した場合には「0」、不一致の場合に「1」を出力する。論理和ゲート203は、排他的論理和ゲート202a～202cの出力を与えられ、少なくともいずれかが不一致の場合に「1」のエラー信号を出力する。

【0033】スキャン回路112は、図3に示されるように、複数のスキャンレジスタ311、312、313、…、314を備えている。このスキャンレジスタの数は、記憶装置100の出力バッファ506の出力幅、即ち1アドレスのビット幅に対応している。出力バッファ506から出力された実データは、それぞれスキャンレジスタ311～314に与えられ、シリアルに変換されてスキャン出力される。

【0034】アドレス発生器105が内蔵するスキャン回路111と、記憶装置100から実データを与えられる上記スキャン回路112とは、図4に示されるような構成を有している。スキャン回路111はスキャンレジスタ411～414を有し、アドレス発生器105が発生したアドレスを与えられてシリアルに出力していく。このアドレスがスキャン回路112に与えられると、記憶装置100から出力される実データの代わりにアドレスがスキャン回路112からスキャン出力される。このスキャン回路112から出力されたアドレスは、スキャンレジスタ111にフィードバックされて、フェイルした時のアドレスに再設定される。

【0035】次に、本発明の第2の実施の形態による半導体装置の構成を図5に示す。本実施の形態が備えるBIST回路101aは、第1の実施の形態におけるBIST回路101の構成にさらに加えて、記憶装置100のアクセス時間のテストを行うために、クロック発生回路601、マルチプレクサ602、記憶素子603を備えている。

【0036】クロック発生回路601は、外部からBISTクロック103を与えられ、ロジックコントローラ104aからクロック選択制御信号を与えられて、3種類のクロックCK1~CK3のうちのいずれか一つを発生し、マルチプレクサ602に出力する。このクロックCK1~CK3は、立ち上がるタイミングは同一であるが立ち下がるまでのクロック幅が異なっている。

【0037】マルチプレクサ602は、クロック発生回路601の出力の他に外部から外部クロック信号を入力され、ロジックコントローラ104aからの制御に基づき、どちらか一つを選択して出力する。記憶素子603はD型フリップフロップで構成され、マルチプレクサ602から出力されたクロックをクロック端子に入力されて、クロックの立ち下がり出力バッファ506から出力されたデータを取り込んでマルチプレクサ110aに出力する。

【0038】一方、アドレス発生器105は、ロジックコントローラ104aから与えられるBISTクロックの立ち上がり同期してアドレスを発生する。ここで、BISTクロックとマルチプレクサ602が出力するクロックとは立ち上がるタイミングは同一である。従って、外部クロック信号又はクロックCK1~CK3のいずれかを選択し、クロックの幅を変えることによって、記憶装置100のアクセス時間をどこまで短縮しても正常なデータが読み出されるかをテストすることができる。

【0039】図6に、クロックの立ち上がり、立ち下がり及びクロック幅と、アドレスが変化するタイミングと、データが出力されるタイミングとの関係を示す。時点701においてクロックが立ち上がり、時点702においてクロックが立ち下がり、時点701と時点702との間の期間をクロック幅Tとする。時点701におけるクロックの立ち上がりエッジに同期してアドレスが変化する。このアドレスがBIST回路101aから記憶装置100へ与えられる。時点701から所定時間が経過した後、データ711が記憶装置100からBIST回路101aへ出力される。

【0040】そして、時点702におけるクロックの立ち下がりエッジに同期して、記憶装置100から出力されたデータが記憶素子603に取り込まれる。記憶素子603から出力されたデータをマルチプレクサ110aを介して取り出して調べることで、正常なデータが出力されたかどうかを判別することができる。

【0041】クロックの幅Tは、クロックCK1~CK3と外部クロック信号のいずれかを選択することで、変えることができる。そこで、クロック幅Tが広いクロックから徐々に狭いクロックを選択していき、どのクロック幅Tまで短縮しても正常なデータの取り込みが可能かどうかを判別することが明らかになる。このように、本実施の形態によれば、上記第1の実施の形態における期

待値データと実データとの比較テストに加えて、記憶装置100のアクセス時間をテストすることができる。

【0042】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、図2、図3及び図4にそれぞれ示された比較回路及びスキャン回路の構成は一例であり、種々の変形が可能である。また、第2の実施の形態では、アクセス時間をテストするためのクロックを発生する回路を内蔵する他に、外部からもクロックを入力していずれかを選択してテストに用いる構成を備えているが、必ずしもこのような外部からのクロックを入力して選択する構成まで備える必要はない。

【0043】

【発明の効果】以上説明したように、本発明のBIST回路を内蔵する半導体装置は、期待値データと実データとを比較し、フェイルが発生した時の実データを出力して調べることができるので、テスト時間の短縮が可能であり、またフェイルが発生した時のアドレスを出力することでフェイル発生箇所を判別することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるBIST回路を内蔵する半導体装置の構成を示した回路図。

【図2】同半導体装置における比較回路の構成を示した回路図。

【図3】同半導体装置におけるスキャン回路の構成を示した回路図。

【図4】同半導体装置におけるアドレス発生器のアドレスをフェイル発生時点のアドレスに設定するためのループ構成を示した回路図。

【図5】本発明の第2の実施の形態によるBIST回路を内蔵する半導体装置の構成を示した回路図。

【図6】同半導体装置におけるクロック幅とアドレス及び出力データとの関係を示したタイムチャート。

【符号の説明】

100 記憶装置

101、101a BIST回路

102 BIST開始信号

103 BISTクロック

104、104a ロジックコントローラ

105、105a アドレス発生器

106 アドレス制御ロジック回路

107 データ発生器

108 比較回路

109 ラッチ回路

110、110a、602 マルチプレクサ

111、112 スキャン回路

202a~202c 排他的論理和素子

203 OR素子

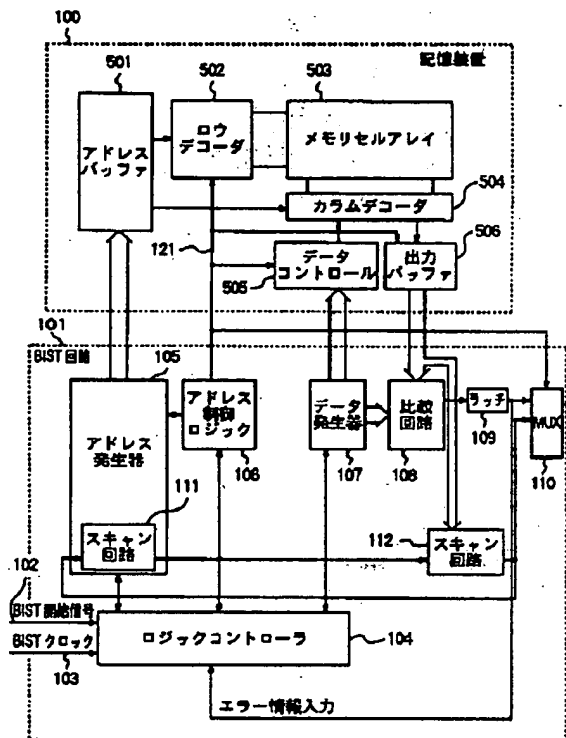
311~314、411~414 スキャンレジスタ

501 アドレスバッファ

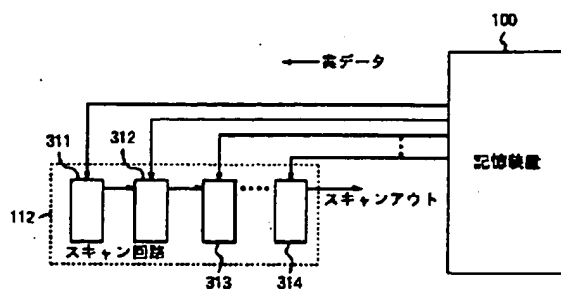
502 ロウデコーダ

- 11
- 503 メモリセルアレイ
504 カラムデコーダ
505 データコントロール回路

【図1】

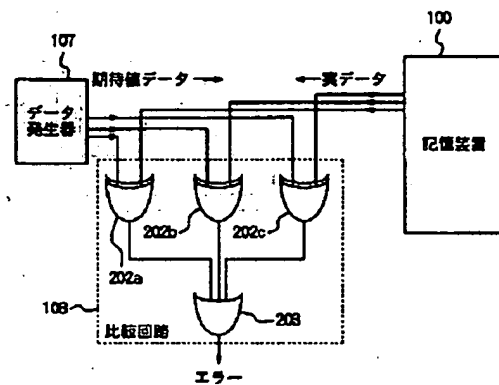


【図3】

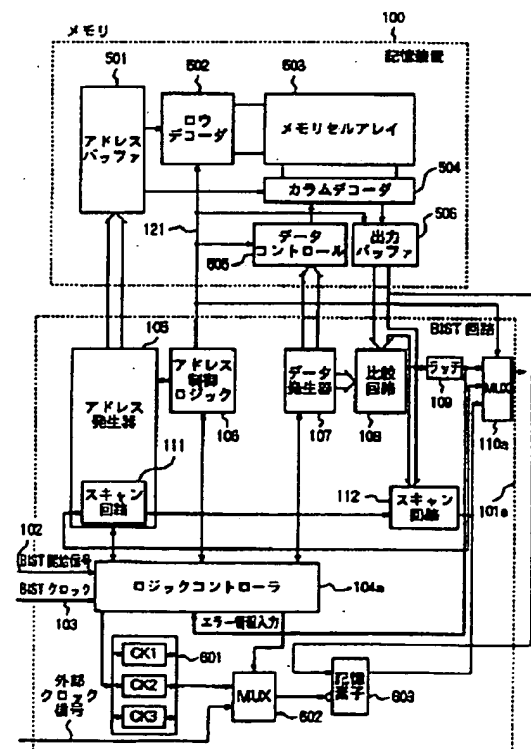


- 506 出力バッファ
601 クロック発生回路
603 記憶素子

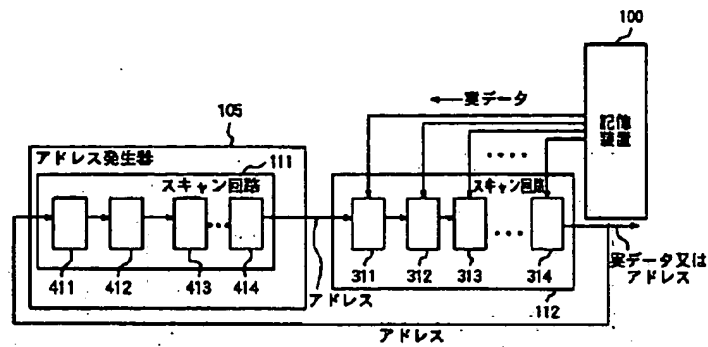
【図2】



【図5】



【図4】



【図6】

